

BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

Offenlegungsschrift
DE 3233 195 A 1

Int. Cl. 3:
H01 L 23/52

- (21) Aktenzeichen:
(22) Anmeldetag:
(43) Offenlegungstag:

P 32 33 195.9
7. 9. 82
17. 3. 83

(30) Unionspriorität: (32) (33) (31)

08.09.81 JP P141985-81

(71) Anmelder:

Mitsubishi Denki K.K., Tokyo, JP

(74) Vertreter:

Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

(72) Erfinder:

Shibata, Hiroshi, Takarazuka, Hyogo, JP; Nakata, Hidefumi,
Kawanishi, Hyogo, JP

(56) Recherchenergebnis gem. § 43 Abs. 1 Satz 1 PatG:

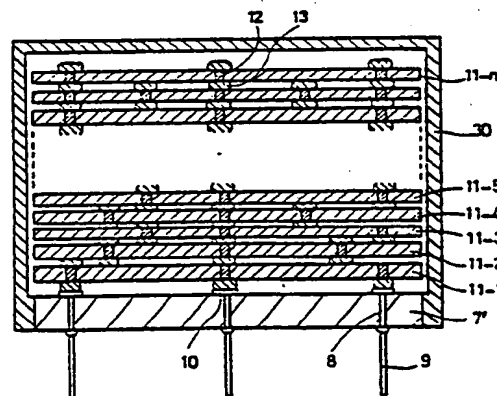
GB 12 54 795
GB 11 11 438

DE-Z: Elektronik-Anzeiger, 9. Jg., 1977, Nr.9, S.36-39;
US-Z: IBM Technical Disclosure Bulletin, Vol.18, No.10,
März 1976, S.3478;
US-Z: IBM Technical Disclosure Bulletin, Vol.16, Nr.1,
Juni 1973, S.38;

(54) Halbleitervorrichtung

Eine Halbleitervorrichtung umfaßt eine Mehrzahl von Halbleitersubstraten (14), die auf einer Keramikplatte (7') gestapelt sind, wobei eine Mehrzahl von Halbleitersubstraten über in den Halbleitersubstraten (14) gebildete Durchgangsleitungen (12) und auf den Oberflächen der Halbleitersubstrate (14) und in elektrischem Kontakt mit den Durchgangsleitungen (12) geformte Warzenkontakte (13) miteinander verbunden sind. Jedes der Halbleitersubstrate (14) weist eine Speicherschaltung, eine logische Schaltung oder entsprechendes auf. Die Durchgangsleitungen (12) sind in den Halbleitersubstraten (14) so geformt, daß sie unabhängig von den Halbleitersubstraten (14) elektrisch leitend sind und sich in der Dickenrichtung durch die Halbleitersubstrate (14) hindurch erstrecken. Die Keramikplatte (7') weist eine Mehrzahl von Durchgangslöchern (8) auf, die sich durch die Platte hindurch erstrecken, und äußere Leitungen (9) sind durch die Löcher hindurchgeführt und elektrisch mit den Warzenkontakten (13) der unteren Oberfläche des untersten Halbleitersubstrates (111) der Mehrzahl von Halbleitersubstraten verbunden. (32 33 195)

FIG. 2



Express Mail No.
EV371754095US

PRÜFER

PATENTANWALT DIPL.-PHYS. LUTZ H. PRÜFER · D-8000 MÜNCHEN 90

FO 10-2546
P/ro

Mitsubishi Denki Kabushiki Kaisha, Tokyo/Japan

Halbleitervorrichtung

PATENTANSPRÜCHE

1. Halbleitervorrichtung, gekennzeichnet durch eine Mehrzahl von Halbleitersubstraten (111, 112, ..., 11n) die jeweils von einem Leitungstyp mit einem vorgegebenen Wert der Leitfähigkeit sind und eine auf wenigstens einer ihrer Oberflächen gebildete Halbleitereinrichtung und eine sich als durch das Substrat (14) in dessen Dickenrichtung hindurcherstreckende Diffusionsschicht gebildete Durchgangsleitung (12) aufweisen, wobei sich die Durchgangsleitung (12) von dem Halbleitersubstrat (14) wenigstens bezüglich eines der Merkmale des Leitungstyps und des Leitfähigkeitswertes zum Bilden eines unabhängig von dem Halbleitersubstrat (14) elektrisch leitenden Leitungsweges unterscheidet, eine Halteeinrichtung zum Halten der Mehrzahl von Halbleitersubstraten (111, 112, ..., 11n) in gestapelter Weise, und

eine Verbindungseinrichtung (13) zum Verbinden der Mehrzahl von Halbleitersubstraten (111, 112, ..., 11n) über die Durchgangsleitungen (12).

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Verbindungseinrichtung Verbindungselektroden (13) aufweist, die in elektrischem Kontakt mit den Durchgangsleitungen (12) verbunden sind an aneinander gegenüberliegenden Stellen auf den gegenüberliegenden Oberflächen von jeweils zwei benachbarten Halbleitersubstraten.

3. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die Verbindungseinrichtung an der Stelle der Durchgangsleitung (12) geformte Verbindungselektroden (13) aufweist.

4. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die von der Verbindungseinrichtung umfaßten Verbindungselektroden (13) an einer gegenüber der Verbindungsleitung (12) versetzten Position gebildet sind.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Verbindungselektroden (13) von den Oberflächen der Halbleitersubstrate hervorstehende Verbindungselektroden aufweisen, daß die Halteeinrichtung die Mehrzahl von Halbleitersubstraten in einer gestapelten Weise mit den hervorstehenden Verbindungselektroden jeweils aneinander anliegend zum Bilden einer mechanischen und elektrischen Verbindung halten.

6. Halbleitervorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die hervortretenden Verbindungselektroden (13) ein Elektrodenmaterial von verhältnismäßig niedrigem Schmelzpunkt aufweisen und daß die hervortretenden und

aneinander angrenzenden Verbindungselektroden bei dieser verhältnismäßig niedrigen Temperatur zum Herstellen einer mechanischen und elektrischen Verbindung miteinander verschmolzen sind.

7. Halbleitervorrichtung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Durchgangsleitung (12) vom entgegengesetzten Leitungstyp ist.

8. Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Durchgangsleitung (12) einen kleineren Leitfähigkeitswert als das Halbleitersubstrat (14) aufweist.

9. Halbleitervorrichtung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß das Halbleitersubstrat (14) einen verdünnten Teil in dem Bereich, in dem die Durchgangsleitung (12) gebildet ist, aufweist, und daß die in dem Halbleitersubstrat (14) gebildete Durchgangsleitung (12) in dem verdünnten Teil geformt ist, wodurch die Länge der Durchgangsleitung (12) in der dicken Richtung verkürzt ist.

BESCHREIBUNG

Halbleitervorrichtung

Die Erfindung betrifft eine Halbleitervorrichtung. Mit dieser wird eine weitergehende Integration ermöglicht.

Figur 1 zeigt einen Schnitt durch eine herkömmliche Halbleitervorrichtung. Diese weist ein Halbleiter-Chip 2 auf, auf dem eine Speicherschaltung oder eine Logikschaltung gebildet ist und welches auf einer Keramikplatte oder einem Kunststoffbauteil 1 montiert ist. Das Halbleiter-Chip 2 ist in einem zentralen ausgenommenen Teil der Keramikplatte 1 montiert, und es sind interne Leitungen 3 auf der Keramikplatte 1 rund um den zentralen ausgenommenen Teil vorgesehen, die sich in radialer Richtung erstrecken. Das Chip 2 weist auf seiner oberen Oberfläche Elektroden-Pads aus Aluminium auf, die nicht gezeigt sind. Die Elektroden-Pads des Halbleiter-Chips 2 und die internen Leitungen 3 sind mittels Verbindungsleitungen 4 aus Golddrähten oder Aluminiumdrähten verbunden. Die internen Leitungen 3 sind ferner mit äußeren Leitungen 5 verbunden, die sich an der Seitenwand der Keramikplatte 1 nach unten erstrecken. Ein Rahmen 7 aus Keramikmaterial ist auf der Keramikplatte 1 vorgesehen und umgibt den oben beschriebenen zentralen ausgenommenen Teil der Keramikplatte 1 und die Verbindungsleitungen 4, und ein Dichtungsdeckel bzw. Verschlußdeckel 6 ist auf dem Keramikrahmen 7 montiert zum Einschließen des Halbleiter-Chips 2 in dem durch die Keramikplatte 1, den Rahmen 7 und den Dichtungsdeckel 6 definierten Raum.

Wie aus Figur 1 ersichtlich ist, ist die herkömmliche Halbleitervorrichtung so ausgebildet, daß ein einzelnes Halbleiter-Chip in einer einzelnen Keramik kapsel oder

einem einzelnen Kunststoffbauteil eingeschlossen ist. Um den Aufbaumaßstab vergrößern zu können, wurde eine Lösung vorgeschlagen und auch in die Praxis umgesetzt, bei der eine Anzahl von Chips auf einem einzelnen Keramikmodul montiert ist. Diese Lösung vergrößert den Baumaßstab der Halbleiter-Chips aber um nur durch Anordnen von so viel wie möglich Halbleiter-Chips dicht beieinander auf einer einzigen Ebene. Daraus ergibt sich eine Begrenzung des Baumaßstabes oder des Integrationsmaßstabes der Halbleiter-Chips.

Aufgabe der Erfindung ist es, eine verbesserte Halbleitervorrichtung mit einem vergrößerten Integrationsmaßstab zu schaffen.

Es soll erreicht werden, daß die Länge der Verdrahtungen bzw. Leitungen gekürzt wird, so daß die Streukapazität vermindert und die Operationsgeschwindigkeit vergrößert wird.

Gemäß einer Weiterbildung der Erfindung soll erreicht werden, daß jedes von einer Mehrzahl von Halbleitersubstraten in einem einzelnen Bauteil getestet werden kann, wobei das Testen erleichtert und die Ausbeute von Halbleitervorrichtungen vergrößert wird.

Gemäß eines weiteren Aspektes der Erfindung soll die Zuverlässigkeit der Verbindung in der Halbleitervorrichtung bei gleichzeitigem Senken der Herstellungskosten vergrößert werden.

Insbesondere soll eine Halbleitervorrichtung geschaffen werden, deren Integrationsmaßstab vergrößert wird und die Mehrzahl von Halbleitersubstraten erhöht werden kann ohne daß der Umfang des Bauteiles dadurch beträchtlich vergrößert werden müßte.

Diese Aufgabe wird durch eine Halbleitervorrichtung gelöst, die gekennzeichnet ist durch eine Mehrzahl von Halbleitersubstraten, die jeweils auf wenigstens einer der Oberflächen davon gebildete Halbleitervorrichtungen aufweisen und eine Durchgangsleitung, die unabhängig von dem Halbleitersubstrat elektrisch leitend ist und sich durch das Halbleitersubstrat in der Dickenrichtung erstreckt, eine Halteeinrichtung zum Halten der Mehrzahl der Halbleitersubstrate in aufeinandergeschichteter Weise und eine Verbindungseinrichtung zum Verbinden der Mehrzahl von Halbleitersubstraten durch die Durchgangsleitungen davon.

In einer bevorzugten Ausführungsform der Erfindung weist die Verbindungseinrichtung Verbindungselektroden auf, die in elektrischem Kontakt mit den Durchgangsleitungen an den sich einander gegenüberliegenden Positionen auf den einander gegenüberliegenden Oberflächen von zwei benachbarten Halbleitersubstraten gebildet sind. Die Verbindungselektroden können entweder an den Stellen der Durchgangsleitungen oder an gegenüber den Durchgangsleitungen versetzten Stellen vorgesehen sein. Vorzugsweise können die Elektroden hervorstehende Verbindungselektroden umfassen, die von den Oberflächen der Halbleitersubstrate hervorstehen. Die Halteeinrichtung ist so ausgebildet, daß sie eine Mehrzahl von Halbleitersubstraten in aufeinander gestapelter Weise hält, wobei die hervorstehenden Verbindungselektroden aneinander jeweils anliegen und eine elektrische Verbindung bilden. Vorzugsweise umfassen die hervorstehenden Verbindungselektroden ein Elektrodenmaterial mit verhältnismäßig niedrigem Schmelzpunkt, und die hervorstehenden Verbindungselektroden, die aneinander anliegen, sind jeweils miteinander bei einer verhältnismäßig niedrigen Temperatur miteinander verschmolzen, um so eine elektrische Verbindung zu schaffen.

In Übereinstimmung mit einer Ausführungsform der Erfindung sind die Halbleitersubstrate an einem Leitungstyp und die Durchgangsleitungen sind von dem entgegengesetzten Leitungstyp, wodurch eine elektrische Leitung der Durchgangsleitungen unabhängig von dem Substrat erfolgt. In Übereinstimmung mit einer anderen Ausführungsform der Erfindung haben die Halbleitersubstrate einen gegebenen Leitfähigkeitswert und die Durchgangsleitungen einen kleineren Leitfähigkeitswert als die Halbleitersubstrate, wodurch eine elektrische Leitung der Durchgangsleitungen unabhängig vom Substrat erreicht wird.

Gemäß einer anderen Ausführungsform der Erfindung weisen die Halbleitersubstrate einen verdünnten Teil auf, der an dem Bereich geformt ist, an dem die Durchgangsleitung zu formen ist, und die Durchgangsleitung ist in dem Halbleitersubstrat an dem verdünnten Teil gebildet, wodurch die Länge der Durchgangsleitung in Richtung der Dicke des Materials verkürzt ist.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen unter Bezugnahme auf die Figuren. Von den Figuren zeigen:

- Fig. 1 eine Schnittdarstellung einer herkömmlichen Halbleitervorrichtung;
- Fig. 2 eine Schnittdarstellung einer Ausführungsform der erfindungsgemäßen Halbleitervorrichtung;
- Fig. 3 eine vergrößerte Schnittdarstellung eines Halbleitersubstrates, welches gemäß einer Ausführungsform der Erfindung hergestellt ist;
- Fig. 4 eine vergrößerte Schnittdarstellung eines Halbleitersubstrates gemäß einer anderen Ausführungsform der Erfindung ;

- Fig. 5 eine vergrößerte Schnittdarstellung von einem Teil einer Durchgangsleitung in einem Halbleitersubstrat gemäß einer Ausführungsform der Erfindung;
- Fig. 6 eine vergrößerte Schnittdarstellung einer elektrischen Verbindung einer Ausführungsform von zwei gestapelten Halbleitersubstraten gemäß der Erfindung;
- Fig. 7 eine vergrößerte Schnittdarstellung einer elektrischen Verbindung einer anderen Ausführungsform von zwei geschichteten bzw. gestapelten benachbarten Halbleitersubstraten gemäß der Erfindung; und
- Fig. 8 eine vergrößerte Schnittdarstellung ähnlich der in Figur 7, von einer weiteren Ausführungsform einer elektrischen Verbindung von zwei benachbarten Halbleitersubstraten, die übereinander geschichtet sind.

Figur 2 zeigt einen Schnitt durch einen Entwurf einer Ausführungsform einer Halbleitervorrichtung gemäß der Erfindung. Die in Figur 2 gezeigte Halbleitervorrichtung umfaßt eine Mehrzahl von Halbleitersubstraten 111, 112, 113, ... 11n, die in Stapelweise auf einer Keramikplatte 7' angeordnet sind, wobei die Mehrzahl der Halbleitersubstrate miteinander verbunden sind durch Durchgangsleitungen 12, die gemäß der Erfindung in jedem der Halbleitersubstrate geformt sind, und durch Kontaktwarzen 13, die auf den Oberflächen der Halbleitersubstrate geformt sind und sich in elektrischem Kontakt mit den Durchgangsleitungen 12 befinden. Jedes der Halbleitersubstrate 111, 112, 113, ... 11n weist eine Speicherschaltung, eine Logikschaltung oder ähnliches in üblicher Weise auf. Die Keramikplatte 7' weist eine Mehrzahl von Durchgangslöchern 8 zur Verbindung nach außen in der Dickenrichtung an solchen vor-

bestimmten Stellen, an denen die Kontaktwarzen 13 an der unteren Oberfläche des Halbleitersubstrates 111 vorgesehen sind, auf. Äußere Leitungen 9 sind durch die oben beschriebenen Löcher 8 der Keramikplatte 7 hindurchgeführt, und Augen bzw. Anschlußflächen 10 sind an der oberen Oberfläche der Keramikplatte 7 zum Verbinden mit den jeweiligen äußeren Leitungen 9 an deren jeweiligen oberen Enden vorgesehen. Die Anordnung mit der Mehrzahl der Halbleitersubstrate 111, 112, 113, ... 11n, die miteinander durch die Kontaktwarzen 13 über die Durchgangsleitungen 12 der jeweiligen Halbleitersubstrate verbunden sind, ist dann auf der Keramikplatte 7 montiert, wobei die Kontaktwarzen 13 auf der unteren Oberfläche des Halbleitersubstrates 111 elektrisch mit den Anschlußflächen 10 verbunden sind, die auf der oberen Oberfläche der Keramikplatte 7 montiert sind. Diese Zusammensetzung mit der Mehrzahl von Halbleitersubstraten und der Keramikplatte 7 sind mit einem äußeren Verpackungsbauteil 30 in der in der Halbleitertechnologie bekannten Weise eingeschlossen.

Figur 3 zeigt eine vergrößerte Schnittdarstellung eines der Halbleitersubstrate 111, 112, 113, ... 11n, aus der ersichtlich ist, wie die Durchgangsleitungen 12 als eine Diffusionsschicht gebildet sind. Es wird zunächst insbesondere auf Figur 3 Bezug genommen. Ein Siliziumsubstrat 14 vom p-Typ (oder π -Typ) oder n-Typ mit hohem Widerstand oder niedriger Leitfähigkeit wird hergestellt und mit einem Oxidfilm 15 wie etwa SiO_2 gebildet. Dann wird der Oxidfilm 15 teilweise auf beiden Oberflächen entfernt, um Öffnungen zu bilden, an denen die oben beschriebenen Durchgangsleitungen 12 geformt werden können. Damit die Öffnungen an beiden Oberflächen zur Deckung gebracht werden, kann eine Zwei-Oberflächen-Masken-Abgleichsvorrichtung verwendet werden. Dann wird durch die Öffnungen, an denen der Oxidfilm 15 entfernt worden ist, eine Verunreinigung wie Aluminium mit verhältnismäßig großem Verteilungs-

effizienten selektiv diffundiert, so daß eine Durchgangsleitung 12 vom p-Typ geformt wird, die sich durch das Halbleitersubstrat 14 in Richtung der Tiefe von der oberen Oberfläche zu der unteren Oberfläche hin erstreckt. In dem Fall, in dem das Siliziumsubstrat 14 vom n-Typ ist, liefert die Bildung der Durchgangsleitungen von einem p-Typ in der Tiefenrichtung einen Leitungsweg, der durch Anlegen einer Spannung in Sperrichtung zwischen dem Siliziumsubstrat 14 und den Durchgangsleitungen 12 unabhängig von dem Halbleitersubstrat 14 elektrisch leitend ist. In dem Fall, in dem das Siliziumsubstrat 14 vom p-Typ oder π -Typ ist, gibt die Bildung der Durchgangsleitungen mit p-Typ mit einem niedrigeren Widerstand oder einer größeren Leitfähigkeit auch einen elektrischen Leitungsweg, der unabhängig von dem Halbleitersubstrat 14 wegen eines niedrigeren Widerstandes oder einer höheren Leitfähigkeit der Durchgangsleitungswege im Vergleich zu dem Halbleitersubstrat 14 elektrisch leitend ist. Die Durchgangsleitungen dienen somit als Leitungsweg für die elektrische Leitung durch das Halbleitersubstrat 14 zwischen den oberen und unteren Oberflächen in Tiefenrichtung unabhängig von dem Halbleitersubstrat 14.

Figur 4 zeigt eine vergrößerte Schnittdarstellung einer anderen Ausführungsform des Halbleitersubstrates 14 gemäß der Erfindung. In diesem Fall, bei dem eine integrierte Schaltung beispielsweise durch n Kanal-MOS-Transistoren verwirklicht werden soll, muß das Substrat üblicherweise vom p-Typ sein. Deshalb wird in einem solchen Fall wie in Figur 4 gezeigt ein aktiver Bereich 16 als p-Typ in einem sich von den oben beschriebenen Durchgangsleitungen 12 unterscheidenden Bereich gebildet. Eine solche p-Typ Schicht kann geeignet auf dem Siliziumsubstrat 14 vom n-Typ mittels eines Ionenimplantationsprozesses einer p-Typ-Verunreinigung oder eines Diffusionsprozesses mit einer p-Typ-Verunreinigung in auf dem Gebiet der Halbleitertechnologie bekannten Art und Weise gebildet werden.

Figur 5 zeigt eine vergrößerte Schnittdarstellung eines Teiles der in dem Halbleitersubstrat 14 erfindungsgemäß vorgesehenen Durchgangsleitung 12. Zuerst wird eine Aluminiumelektrode 17 auf dem Diffusionsbereich, der die Durchgangsleitung 12 bildet, geformt, und dann wird darauf ein Chrom/Kupfer-Film 18 gebildet. Dann wird eine Kontaktwarze 13 aus Lötmetall oder Gold auf dem Chrom/Kupfer-Film 18 gebildet, die von der Oberfläche des Substrates 14 hervorsteht. Ferner wird auf dem Oxidfilm 15 ein Schutzfilm 19 aus Siliziumdioxid und/oder Siliziumnitrid gebildet.

Figur 6 zeigt eine vergrößerte Schnittdarstellung von zwei aneinandergrenzenden Halbleitersubstraten in gestapelter bzw. geschichteter Weise, bei der zur Vereinfachung die Durchgangsleitungen 12 weggelassen worden sind. Die in Figur 6 gezeigte Ausführungsform zeigt einen Fall, bei dem die Durchgangsleitungen 12 des oberen Substrates 14 und die Durchgangsleitungen 12 des unteren Halbleitersubstrates 14 in vertikaler Richtung abgeglichen sein sollen. Deshalb werden das obere und das untere Substrat 14 unter Verwendung der Zwei-Oberflächen-Abgleichvorrichtung aufeinandergepaßt, so daß die Warzenkontakte 13 des oberen Substrates 14 und die Warzenkontakte des unteren Substrates 14 jeweils miteinander abgeglichen sind. Da die Schmelztemperatur des Materials der Warzenkontakte wesentlich niedriger, sagen wir 300 bis 400°C, als die bei einem Diffusionsprozeß verwendete Temperatur ist, können die Warzenkontakte 13 der oberen und unteren Substrate 14 miteinander mittels eines Erwärmungsprozesses bei einer solchen niedrigen Temperatur verschmolzen werden, ohne daß die in den Substraten 14 enthaltenen Halbleitereinrichtungen beeinflußt werden würden. So wird eine Mehrzahl von Halbleitersubstraten 14 integral durch Verbinden miteinander über die Warzenkontakte 13, die wiederum mit

den Durchgangsleitungen 12 der jeweiligen Halbleitersubstrate 14 verbunden sind, geschaffen.

Figur 7 zeigt eine vergrößerte Schnittdarstellung einer anderen Ausführungsform eines Teiles der Warzenkontakte 13 und der Durchgangsleitungen 12 von zwei benachbarten Halbleitersubstraten 14 in gestapelter Form. Gemäß der in Figur 7 gezeigten Ausführungsform sind wiederum die Durchgangsleitungen 12 und die Warzenkontakte 13 in vertikal abgeglichenen Position vorgesehen. Die in Figur 7 gezeigte Ausführungsform unterscheidet sich von der in Figur 6 gezeigten Ausführungsform aber insofern, als die rückwärtige Oberfläche des Halbleitersubstrates 14 zum Bilden eines verdünnten Bereiches geätzt ist und die Durchgangsleitungen 12 und die Warzenkontakte 13 dann in den oben beschriebenen verdünnten Teilen gebildet sind. Als Ergebnis davon wird die Länge der Durchgangsleitungen 12 in der Dickenrichtung verkürzt, und entsprechend kann eine laterale bzw. seitliche Diffusion von den Durchgangsleitungen 12 verkleinert werden. In einem solchen Fall kann, da die Länge der Durchgangsleitungen 12 in Dickenrichtung klein ist, eine n-Typ-Verunreinigung mit verhältnismäßig kleinem Diffusionskoeffizienten wie etwa Phosphor oder Arsenid Ionen-implantiert oder durch thermische Diffusion in ein p-Typ-Siliziumsubstrat gebracht werden, um so Durchgangsleitungen 12 zu bilden. In dem Fall der in Figur 7 gezeigten Ausführungsform werden die wiederum aus Lötmetall oder Gold gebildeten Warzenkontakte 13 wiederum auf den oberen und unteren Oberflächen der Durchgangsleitungen 12 gebildet, in derselben Weise wie in Figur 5 gezeigt, mit Ausnahme einer unterschiedlichen vertikalen Länge der jeweiligen hervorstehenden Warzenkontakte 13, und dann werden die oberen und unteren Siliziumsubstrate 14 in derselben Weise wie vorher beschrieben elektrisch miteinander verbunden. Beim Bilden der Durchgangsleitungen 12 kann die Diffusion in einem elektrischen Feld angewendet werden, um eine seitliche Expansion

in einem Diffusionsprozeß zu beschränken, so daß die Diffusion in vertikaler Richtung im Vergleich zu einer lateralen Diffusion beschleunigt wird.

Figur 8 zeigt eine Darstellung ähnlich der in Figur 7 von einer vergrößerten Schnittdarstellung einer weiteren Ausführungsform eines Teiles durch Durchgangsleitungen 12 und die Warzenkontakte 13 von zwei gestapelten benachbarten Halbleitersubstraten 14, bei der eine elektrische Verbindung zwischen oberen und unteren Halbleitersubstraten 14 an einer Stelle gemacht ist, die versetzt ist gegenüber der Position der in dem oberen Halbleitersubstrat 14 geformten Durchgangsleitung 12. Die in Figur 8 gezeigte Ausführungsform unterscheidet sich gegenüber der in Figur 7 gezeigten Ausführungsform insbesondere dadurch, daß die untere Kontaktwarze 13 des oberen Halbleitersubstrates an einer Stelle gebildet ist, die, wie in Figur 8 gezeigt, nach links versetzt ist gegenüber der Position der Durchgangsleitung 12 des oberen Halbleitersubstrates 14, und daß zu diesem Zweck die Aluminiumelektrode 17 und der Chrom/Kupfer-Film 18 von der Position der Durchgangsleitung des oberen Halbleitersubstrates 14 bis zu der versetzten Position verlängert bzw. ausgedehnt worden sind. Die oberen Warzenkontakte 13 und die Durchgangsleitung 12 des unteren Halbleitersubstrates 14 sind entsprechend so positioniert, daß sie der oben beschriebenen versetzten Position gegenüberliegen. Die anderen Positionen der in Figur 8 gezeigten Ausführungsform stimmen im wesentlichen mit der in Figur 7 gezeigten Ausführungsform überein, so daß auf die Beschreibung weiterer Einzelheiten verzichtet werden kann.

Wie sich aus obiger Beschreibung ergibt, wird durch Bilden einer Durchgangsleitung in jedem von einer Mehrzahl von Halbleitersubstraten, die sich in der Dickenrichtung durch das Substrat erstreckt, zum Bilden einer Durchgangsleitung durch die Dicke des Substrates und zum elektrischen Leiten unabhängig von dem Substrat, durch das Halten einer Mehrzahl von diesen Substraten in gestapelter bzw. geschichteter Weise und durch Verbinden der Mehrzahl der Substrate über die Durchgangsleitungen eine Halbleitervorrichtung mit einer Mehrzahl von in gestapelter Weise angeordneten und miteinander verbundenen Halbleiterelementen geschaffen. Jedes der Halbleiterelemente kann eine Speicherschaltung, eine Logikschaltung oder ähnliches aufweisen. Die Erfindung kann auch bei einem Verbindungshalbleiter wie einem Galliumarsenid Anwendung finden.

-15-
Leerseite

THIS PAGE BLANK (USPTO)

Nummer: 3233195
Int. Cl.³: H01L 23/52
Anmeldetag: 7. September 1982
Offenlegungstag: 17. März 1983

- 19 -

FIG. 1

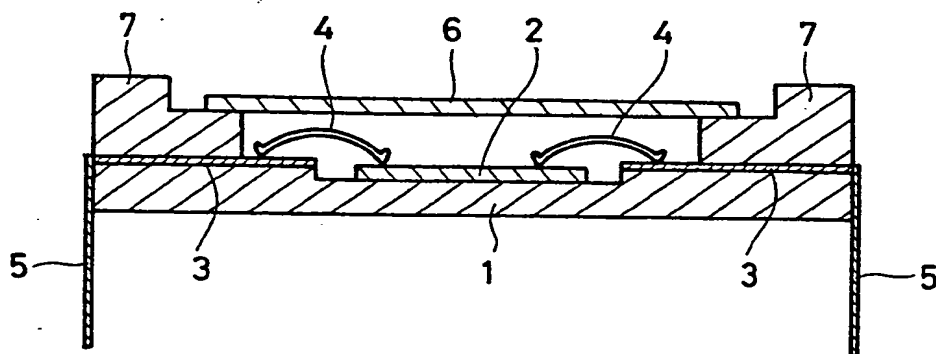


FIG. 3

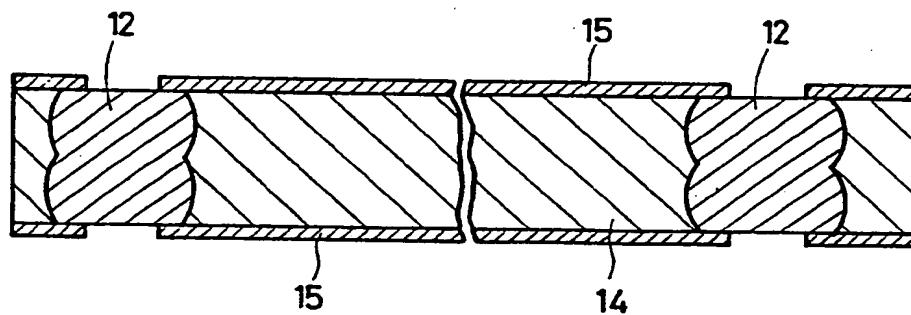
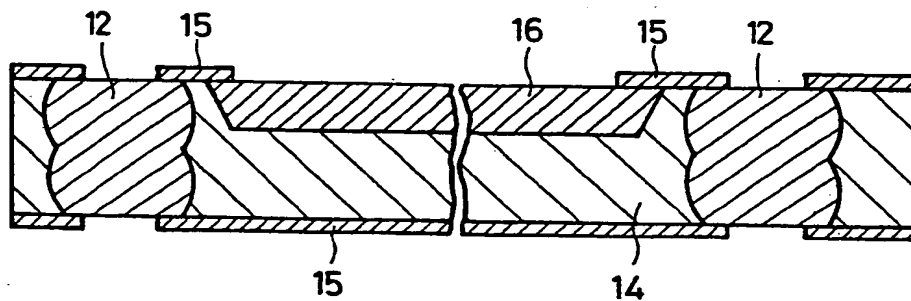


FIG. 4



- 16 -

FIG. 2

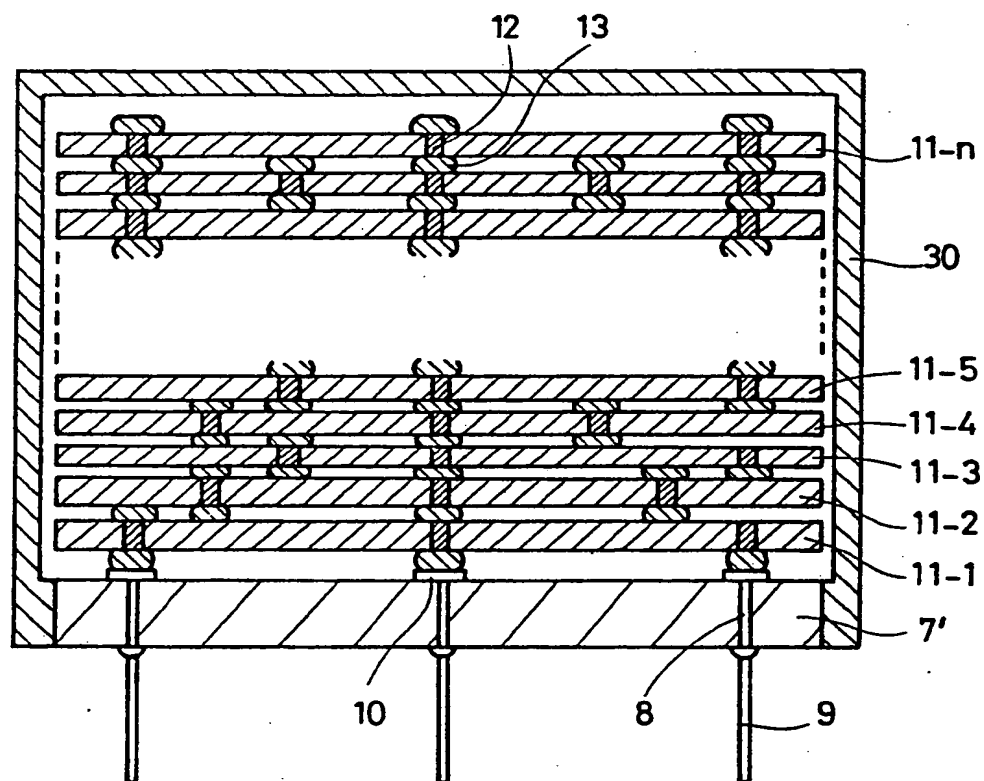


FIG. 5

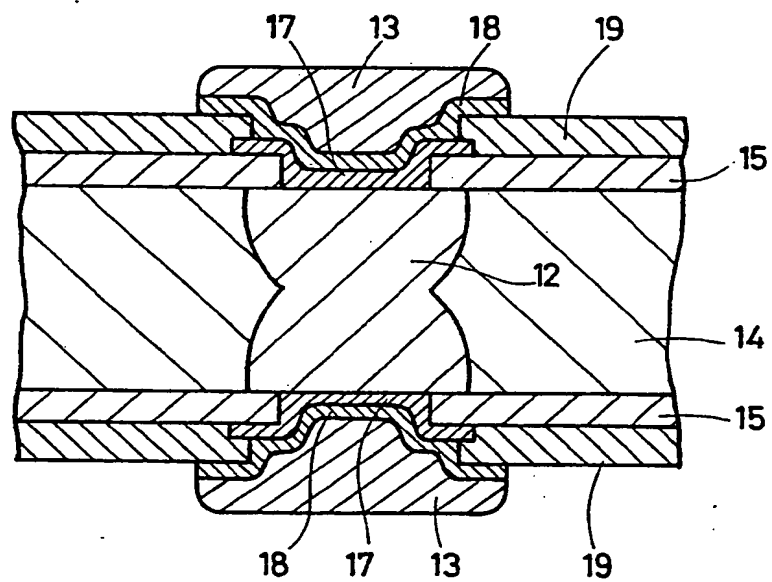


FIG. 6

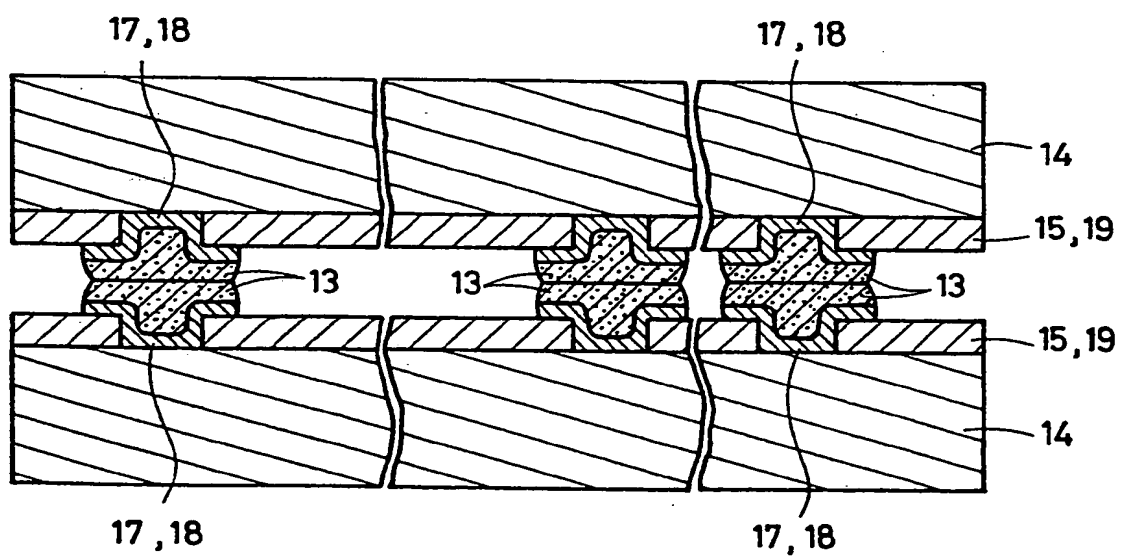


FIG. 7

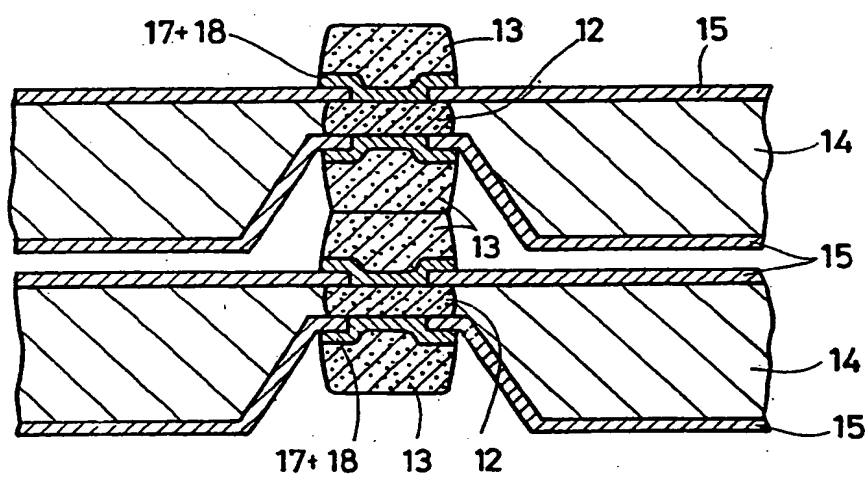
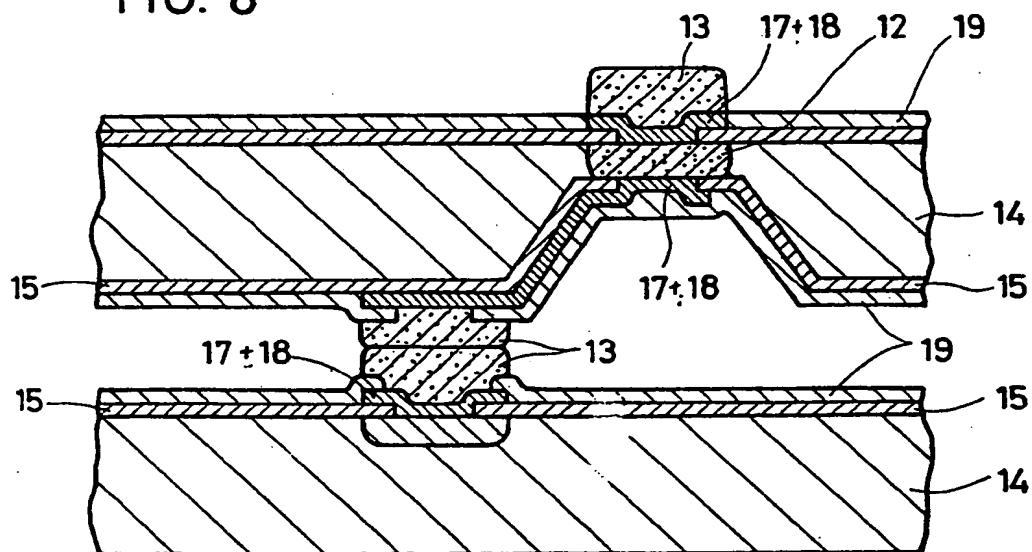


FIG. 8



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.